

## 明 細 書

### 高耐電圧ワイドギャップ半導体装置及び電力装置

#### 技術分野

- [0001] 本発明は、ワイドギャップ半導体装置に関し、特に高い耐電圧を有する高耐電圧ワイドギャップ半導体装置及びこれを有する電力装置に関する。

#### 背景技術

- [0002] 炭化珪素(SiC)などのワイドギャップ半導体材料は、シリコン(Si)に比べて絶縁破壊電界強度が約10倍高い等の優れた特性を有していることから、高い耐電圧特性を有する高耐電圧パワー半導体素子に好適な材料として注目されている。
- [0003] ワイドギャップ半導体材料を用いたpinダイオード、バイポーラトランジスタ、GTOなどのバイポーラ半導体素子は、ショットキーダイオードやMOSFETなどのユニポーラ半導体素子に比べるとビルトイン電圧が高い。しかし少数キャリアの注入によるドリフト層の伝導度変調によりオン抵抗が大幅に小さくなるので損失が少ない。このため電力用途などの高電圧大電流を扱う用途では、損失を小さくするためバイポーラ半導体素子が多く用いられている。SiCのバイポーラ半導体素子をSiのバイポーラ半導体素子と比べると、例えば、SiCのpinダイオードは、10kVの高耐電圧素子の場合、順方向電圧がSiのpinダイオードの約 $1/3$ であり、ターンオフ時の速度に相当する逆回復時間は約 $1/20$ 以下と高速である。これらの点からSiCのpinダイオードの電力損失はSiの約 $1/5$ 以下に低減され、省エネルギー化に大きく貢献できる。SiC-pinダイオード以外にも、SiC-npntランジスタ、SiC-SIAFET、SiC-SIJFET、SiC-IGBTなどが開発されており、それぞれ電力損失低減効果が大きいことが報告されている(例えば非特許文献1)。また、ドリフト層としてpinダイオードとは反対極性のp型半導体層を用いたSiC-GTOなども開発されている(例えば非特許文献2)。
- [0004] SiCのバイポーラ半導体素子においては、高耐電圧を実現するために、バイポーラ半導体素子を通れる電流の主たる経路となる活性領域を形成するpn接合(以下、主接合という)の端部における電界集中を緩和する必要がある。この電界集中を緩和するため従来のSiCのバイポーラ半導体素子では、主接合の端部に接するように電界

緩和領域や電界緩和層を設けている。電界緩和層を有する従来のSiC-pinダイオードについて図7を参照して説明する。

[0005] 図7は非特許文献3に示されているプレーナ型の高耐電圧pinダイオードの断面図である。図において、下面にアノード電極101を有する $p^+$ 型SiC半導体の基板103(アノード領域)の上面に、 $p^-$ 型SiC半導体のエピタキシャル成長によりドリフト層105を形成している。ドリフト層105の中央部分にイオン打込みにより $n^+$ 型SiC半導体のカソード領域109を形成している。カソード領域109の端部112にそれぞれ接するように、電界緩和層として働く $n$ 型SiC半導体のJTE (Junction Termination Extension) 層107が設けられている。カソード領域109とドリフト層105との接合部が主接合110である。カソード領域109に接してカソード電極113が設けられ、残る表面には表面保護膜111が設けられている。JTE層107はカソード領域109よりも低不純物濃度にするのが望ましく、同濃度の場合は厚さをカソード領域109より厚くしている。

[0006] このpinダイオードに逆方向電圧を印加すると、JTE層107の接合端部106に電界が集中する。しかし、JTE層107は主接合110の端部112に比べると低濃度もしくは厚くなされているので電界の集中が抑制され、電界の値を低くおさえることができる。これにより接合端部106の電界の値が絶縁破壊電界に達する印加電圧を高くすることができるので高耐電圧にできる。

[0007] 別の方法として、当技術分野でRESURF (Reduced surface field) と呼ばれている電界緩和層も用いられる。これはJTE層107よりも更に低濃度にした層を主接合110の端部に設け、逆電圧が印加されるとRESURF内部にも空乏層が広がるようにしたものである。耐電圧に近い逆電圧が印加されるとRESURFはほぼ完全に空乏化し、RESURF内部の電界がほぼ均等になって印加電圧を分担する。これにより主接合110及びその近傍の電界集中を緩和し高耐電圧を実現している。

非特許文献1: 松波弘之編著、「半導体SiC技術と応用」、日刊工業新聞社、2003年3月31日、218-221頁

非特許文献2: A.K. Agarwal et.al, Materials Science Forum, Volume 389-393、2002年、1349-1352頁

非特許文献3: K. Chatty et.al, Materials Science Forum, Volume 338-342、2000

年、1331-1334頁

発明の開示

発明が解決しようとする課題

- [0008] 前記従来 of 構成のようなワイドギャップバイポーラ半導体素子には、2002年発刊の「マテリアルズ サイエンス フォーラム」389-393巻、第1259-1264頁で報告されているように、通電時間(使用時間)の増大にともなう順方向電圧が増大するという劣化現象がある。以下、この現象を「順方向電圧劣化現象」と呼ぶ。順方向電圧劣化現象は、基板103からドリフト層105に伝搬するベーサルプレーン転位と呼ばれる結晶の転位による線状の結晶欠陥が根本原因とされている。この転位を起点として積層欠陥と呼ばれる多数の面状の欠陥が発生する。この積層欠陥は電子と正孔を再結合させやすいので、結果的にドリフト層105の抵抗を高くし順方向電圧を増大させる。積層欠陥は、この再結合時に放出されるエネルギーや、順方向電流により生ずる熱に刺激されてドリフト層105内に拡がるように成長する。カソード領域109及びJTE層107はイオン打ち込みで形成されているために、ドリフト層105との接合部に多くの結晶欠陥が存在する。
- [0009] 発明者は以下の点に注目した。順方向電流はカソード領域109を流れるがその一部はJTE層107をも経てドリフト層105に流れる。このとき上記のように基板103とドリフト層105のベーサルプレーン転位を起点とする結晶欠陥である積層欠陥が生成され拡大する。さらに、この結晶欠陥を源にしてカソード領域109及びJTE層107の下方のドリフト層105に積層欠陥が拡大し劣化が進行する。JTE層107の下方のドリフト層105内に拡大した積層欠陥は、カソード領域109と基板103との間のドリフト層105内にも進入してゆき、ドリフト層105全域に積層欠陥を拡大させるとともに積層欠陥の密度を増加させる。積層欠陥の密度が増大して順方向電圧が増大すると、ダイオード内部での発生熱が増大するので益々積層欠陥の成長が促進される。
- [0010] 例えば、耐電圧5kVのSiC-pinダイオードの場合、新品のときは順方向電流密度 $100\text{A}/\text{cm}^2$ での順方向電圧が3.5Vである。しかし、電流密度 $100\text{A}/\text{cm}^2$ で1時間通電した後では順方向電圧は20Vに増大してしまう。通電時間を更に長くすると、順方向電圧の増大の度合は飽和傾向を示すが、それでも徐々に増大する。順方向

電圧の増大によりpinダイオードの内部で発生する電力損失が著しく増大し、それによる発熱により素子が破壊してしまう場合がある。このようにSiC等のワイドギャップバイポーラ半導体素子はSiの半導体素子に比べて大変優れた初期特性を有しているにもかかわらず劣化がはやくて信頼性が著しく低い。従って、電力損失が少なく長時間の運転が可能な信頼性の高いインバーター等の電力変換装置をワイドギャップバイポーラ半導体素子を用いて実現することが困難であった。

[0011] 図7の従来例に示すような、主接合110の端部112に電界緩和層のJTE層107が接して設けられた従来の高耐電圧半導体素子は、高耐電圧を実現する点では効果がある。しかし前記のようにJTE層107の下方に生じる欠陥により順方向電圧劣化現象が生じる点では好ましくない。図7に示すpinダイオードに順方向の電圧を印加した場合、順方向電流は主接合110のみを通して流れるのではなく、カソード領域109、電界緩和層のJTE層107、及びその下のドリフト層105をも通って流れる。このためにJTE層107の下方のドリフト層105内でも積層欠陥が発生し、これが成長拡大する。そのため更に順方向電圧劣化が促進される。JTE層107は主接合110の周囲に形成されるので比較的大きな面積を占める。主接合110の面積に比べてJTE層107の面積が相対的に大きい場合、順方向電圧劣化へ与える影響は大きくなる。また、耐電圧が高いpinダイオードほどドリフト層105が厚いので、JTE層107の下部の欠陥が起点になって発生した積層欠陥が主接合110の下方のドリフト層105内にも侵入してゆく。そのため、順方向電圧劣化を更に加速させるおそれがある。

[0012] SiC等のワイドギャップバイポーラ半導体の基板は通常その表面が結晶面に対して所定の角度を持つように形成される。この角度は当技術分野ではオフ角と呼ばれ通常15度以下である。オフ角を設けることにより、基板表面にドリフト層などをエピタキシャル成長で形成する場合、表面に局部的に基板とは異なる結晶面の領域が成長するのを防ぐことができ、成長層に発生する結晶欠陥を減らすことができる。しかしオフ角を有する基板を用いると、上記のベースルプレーン転位と呼ばれる線欠陥は基板表面に対してオフ角と同じ角度をもってドリフト層等のエピタキシャル成長層内に形成されて伝搬する。またこれを基点に積層欠陥と呼ばれる面欠陥が発生する。従って、積層欠陥は素子表面と基板間を流れる電流を斜めに遮る2次元の面上に存在

することになり順方向電圧劣化を大きくする。

- [0013] 一方、オフ角を90度にした場合はベーサルプレーン転位と呼ばれる線欠陥は基板表面に垂直な方向にエピタキシャル成長層内に形成されて伝搬する。またこれを基点に発生する積層欠陥と呼ばれる面欠陥は素子表面と基板間を流れる電流に平行に存在することになる。このため、電流を斜めに遮るオフ角を持った積層欠陥に比べると電流の流れを遮る程度が軽微である。しかし、電子や正孔は結晶内をブラウン運動をしながら流れているので、基板に垂直な積層欠陥でも電子と正孔の再結合が発生し順方向電圧の劣化を生じる。

本発明は、上記の点を解消し、高耐電圧ワイドギャップ半導体素子の順方向電圧劣化を低減し長寿命で信頼性の高い半導体装置を提供することを目的とする。

#### 課題を解決するための手段

- [0014] 本発明のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有する。前記ワイドギャップ半導体装置は、前記半導体領域に電流路を形成する第1のpn接合、及び前記第1のpn接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第2のpn接合を形成する電界緩和層を有する。前記バイポーラ半導体素子の電流通路となる第1の電極は、前記第1のpn接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向している。前記一方の半導体領域には第2の電極が設けられている。

- [0015] この発明によると、電界緩和層を第1のpn接合から離隔して形成しているので、順方向電流は第1のpn接合のみを通過して流れ、電界緩和層と第2のpn接合とを通過して流れる電流はほとんどない。そのため順方向電流による積層欠陥は、第1のpn接合に対向する半導体領域内の順方向電流が流れる領域に形成され、電界緩和層に対向する半導体領域内には積層欠陥がほとんど発生しない。その結果第1のpn接合に対向する半導体領域内では積層欠陥の成長拡大が抑制され半導体素子の劣化が少ない。

[0016] また第1のpn接合を形成する半導体領域に電氣的に接続される第1の電極を、前記第1のpn接合と前記電界緩和層との間の半導体領域に絶縁膜を介して対向するように構成している。この構成により、前記第1の電極に逆電圧を印加したとき、電界効果により前記第1のpn接合の端部と電界緩和層との間の半導体領域に前記印加電圧の極性とは逆極性の電荷、すなわち電子又は正孔が集まる。その結果前記第1のpn接合と前記第2のpn接合とが電氣的に接続された状態となり、高耐電圧を実現できる。これにより高耐電圧特性を有しかつ長寿命のワイドギャップ半導体装置を実現できる。

[0017] 本発明の他の観点のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有する。前記ワイドギャップ半導体装置は、前記半導体領域に電流路を形成する第1のpn接合、及び前記第1のpn接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第2のpn接合を形成する電界緩和層を有する。前記バイポーラ半導体素子の電流通路となる第1の電極は、前記第1のpn接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向している。前記一方の半導体領域には第2の電極が設けられている。前記第1のpn接合を含む半導体領域に空乏層が生じるように前記電極と前記半導体領域間に電圧を印加したとき、前記第1の電極が、前記電気絶縁膜を介して前記第1のpn接合と第2のpn接合との間の前記半導体領域に電界効果を与える。この電界効果により前記第1のpn接合と第2のpn接合とを電氣的接続状態にする。

[0018] この発明によると、電界緩和層を第1のpn接合から離隔して形成しているので、順方向電流は第1のpn接合のみを通して流れ、電界緩和層と第2のpn接合とを通して流れる電流はほとんどない。そのため順方向電流による積層欠陥は第1のpn接合に対向する半導体領域内の順方向電流が流れる領域に形成され、電界緩和層に対向する半導体領域内には積層欠陥がほとんど発生しない。その結果第1のpn接合に対向する半導体領域内の積層欠陥の成長拡大が抑制され半導体素子の劣化が少

ない。

[0019] また第1のpn接合を形成する半導体領域に電氣的に接続される第1の電極を、前記第1のpn接合と前記電界緩和層との間の半導体領域に絶縁膜を介して対向するように構成している。そのため前記第1の電極に逆電圧を印加したとき、電界効果により前記第1のpn接合の端部と電界緩和層との間の半導体領域に前記印加電圧の極性とは逆極性の電荷、すなわち電子又は正孔が集まる。その結果前記第1のpn接合と前記第2のpn接合とが電氣的に接続された状態となり、高耐電圧が実現できる。第1のpn接合と第2のpn接合を含む半導体領域に空乏層が広がるので、第1のpn接合の端部への電界集中が回避され、前記電界緩和層が前記第1のpn接合の端部に接している構成と同等の電界緩和効果が得られる。これにより高耐電圧特性を有しかつ長寿命のワイドギャップ半導体装置を実現できる。

[0020] 本発明の他の観点のワイドギャップ半導体装置は、第1の導電型の半導体層、及び前記第1の導電型の半導体層と第1のpn接合を形成する第2の導電型のメサ型の半導体層を有する。前記第1の導電型の半導体層内に第1のpn接合から離隔して第2の導電型の電界緩和層が形成されている。第1の電極は、前記第1のpn接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記メサ型の半導体層に接続されている。第2の電極は、前記第1の導電型の半導体層に設けられている。

この発明によれば、メサ型の半導体装置において、第1の電極が電気絶縁膜を介して第1のpn接合と電界緩和層との間の半導体層に与える電界効果により、半導体装置の逆バイアス時には第1のpn接合と電界緩和層とを電氣的に接続し、順バイアス時には両者を電氣的に離隔する。これにより順方向電流が電界緩和層を経て流れないようにし、高耐電圧特性を損ねることなく順方向電圧特性劣化を低減し、高耐電圧と高信頼性を共に実現できる。

[0021] 本発明の他の観点のワイドギャップ半導体装置は、第1の導電型の半導体層及び前記第1の導電型の半導体層と第1のpn接合を形成する第2の導電型のプレーナ型の半導体層を有する。前記第1の導電型の半導体層内に第1のpn接合から離隔して第2の導電型の電界緩和層が形成されている。第1の電極は、前記第1のpn接合と

前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記プレーナ型の半導体層に接続されている。第2の電極は、前記第1の導電型の半導体層に接続されている。

[0022] この発明によれば、プレーナ型の半導体装置において、第1の電極が電気絶縁膜を介して第1のpn接合と電界緩和層との間の半導体層に与える電界効果により、半導体装置の逆バイアス時には第1のpn接合と電界緩和層とを電氣的に接続し、順バイアス時には両者を電氣的に離隔する。これにより順方向電流が電界緩和層を経て流れないようにし、高耐電圧特性を損ねることなく順方向電圧特性劣化を低減し、高耐電圧と高信頼性を共に実現できる。

[0023] 本発明の他の観点のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有している。前記ワイドギャップ半導体装置は、前記半導体領域に電流路を形成する第1のpn接合、及び前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第2の半導体領域内に設けられ、前記第2の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層を有する。前記ワイドギャップ半導体装置はさらに、前記第1のpn接合を形成する前記第1の半導体領域上に形成された、少なくとも1つの前記第1の半導体領域と異なる導電型の第3の半導体領域を有する。第1の電極は前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の第2の半導体領域に、電気絶縁膜を介して対向している。第2の電極は、前記第1のpn接合を形成する第1の半導体領域に電氣的に接続されている。前記ワイドギャップ半導体装置はさらに、前記第2の半導体領域の、前記第1のpn接合を有する面の対向面に設けた、前記第2の半導体領域と異なる導電型の第4の半導体領域、及び前記第4の半導体領域に設けた第3の電極を有する。

[0024] この発明によれば、ワイドギャップ半導体装置に、高い順バイアス電圧が印加されたときには、電気絶縁膜を介して第1の電極が、第1のpn接合と第2のpn接合との間の第2の半導体領域に与える電界効果により、第1のpn接合と第2のpn接合を電氣的に接続し、低い順バイアス電圧が印加されたときには、両者間は電氣的に離隔する。これにより電界緩和層を経て電流が流れないようにする。その結果、高耐電圧を



保ちつつ、順方向電圧劣化、オンゲート電流特性及び可制御電流特性の劣化を低減し、高耐電圧と高信頼性をともに実現できる。

[0025] 本発明の他の観点のワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有している。前記ワイドギャップ半導体装置は前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、及び前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層を有する。前記ワイドギャップ半導体装置はさらに、前記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域を有する。第1の電極は、前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に電気絶縁膜を介して対向している。第2の電極は、前記第1のpn接合を形成する他方の第4の半導体領域に電氣的に接続されている。第3の電極は、前記少なくとも2つの第1のpn接合の間の半導体領域に絶縁膜を介して対向している。第4の電極は、前記第4の半導体領域に設けられている。

[0026] この発明によれば、ワイドギャップ半導体装置の順バイアス電圧が高いときは、第1の電極が、電気絶縁膜を介して第1のpn接合と第2のpn接合との間の半導体領域に与える電界効果により、第1のpn接合と第2のpn接合とを電氣的に接続し、順バイアス電圧が低いときには両者間を電氣的に離隔して電界緩和層を経て電流が流れないようにする。これにより、高耐電圧を保ちつつ順方向電圧劣化を低減して、電力損失の増大を抑制できるとともに高耐電圧と高信頼性をともに有する半導体装置を実現できる。

[0027] 本発明の電力装置は、ワイドギャップ半導体装置を制御素子として備える。前記ワイドギャップ半導体装置は、バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、及び前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層を有する。前記ワイドギャップ半導体装置はさらに、前

記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域、及び前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する第1の電極を有する。前記ワイドギャップ半導体装置はさらに、前記第1のpn接合を形成する他方の第4の半導体領域に電氣的に接続された第2の電極、前記少なくとも2つの第1のpn接合の間の半導体領域に、絶縁膜を介して対向する第3の電極、及び前記第4の半導体領域に接続された第4の電極を有する。

- [0028] この発明によれば、電力装置内のワイドギャップ半導体装置は、順バイアス電圧が高いときは、第1の電極が、電気絶縁膜を介して第1のpn接合と第2のpn接合との間の半導体領域に与える電界効果により、第1のpn接合と第2のpn接合とを電氣的に接続し、順バイアス電圧が低いときには両者間を電氣的に離隔して電界緩和層を経て電流が流れないようにする。これにより、ワイドギャップ半導体装置は高耐電圧を保ちつつ順方向電圧劣化を低減して、電力損失の増大を抑制できる。従って、本発明のワイドギャップ半導体装置を備える電力装置では、電力損失を抑制でき高耐電圧と高信頼性をともに実現できる。

### 発明の効果

- [0029] 本発明によれば、ワイドギャップ半導体装置に順方向電流が流れているときに生じる積層欠陥が、主に半導体領域の順方向電流が流れる部分に形成されるので、積層欠陥の成長拡大が抑制され、積層欠陥の増大による順方向電圧の上昇を抑制することができる。

### 図面の簡単な説明

- [0030] [図1]図1は本発明の第1実施例のワイドギャップ半導体装置であるメサ構造のSiC-pinダイオードの断面図である。
- [図2]図2は本発明の第2実施例のワイドギャップ半導体装置であるプレーナ構造のSiC-pinダイオードの断面図である。
- [図3]図3は本発明の第3実施例のワイドギャップ半導体装置であるメサ構造のSiC-GTOの断面図である。

[図4]図4は本発明の第4実施例のワイドギャップ半導体装置であるメサ構造のSiC-MOSFETの断面図である。

[図5]図5は第4実施例のSiC-MOSFETを用いたインバータの回路図である。

[図6]図6は本発明の図1に示すSiC-pinダイオードにおいて、オーミックコンタクト層8の両端部と、絶縁膜17との間の隙間にストッパー3を設けた構成例を示す断面図である。

[図7]図7は従来例のワイドギャップ半導体装置であるプレーナ構造のSiC-pinダイオードの断面図である。

### 符号の説明

#### [0031] 3 ストッパー

8、10、28a、 オーミックコンタクト層

13、23 アノード層

12、22、42、105 ドリフト層

12a、22a 峡間部

42a、42b ドリフト層部分

17、29、39、91、92、93、50a、50b ゲート絶縁膜

14、24、30a コンタクト層

40、81、82、83 ゲート電極

71、72、73、74 ソース電極

61、62、63、64、65、66 ソース層

51、52、53、54 ボディ層

11、21、32、41、103 基板

19、30、31、113 カソード電極

18、28、37、101 アノード電極

33 バッファ領域

34、34a ベース領域

35 ベース層

36 エミッタ層

16、27、49a、49b チャネルストップパー層

15、17、25、38、48a、48b、107 JTE層

110 主接合

26 RESURF層

109 カソード領域

発明を実施するための最良の形態

[0032] 以下本発明の高耐電圧ワイドギャップ半導体装置及び電力装置の好適な実施例を図1から図6を参照して説明する。各実施例の高耐電圧ワイドギャップ半導体装置は、図示を省略したが平面図が円形、四角形、長方形などである

[0033] 《第1実施例》

図1は本発明の第1実施例の高耐電圧ワイドギャップ半導体装置である、メサ構造のSiC-pin接合ダイオードの断面図である。図において、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $400 \mu\text{m}$ のカソードとして働く $n^+$ 型SiC半導体の基板11上に、不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 、厚さが $75 \mu\text{m}$ の $n^-$ 型SiC半導体のドリフト層12をエピタキシャル成長技術で形成している。基板11の下面には、電氣的接続状態を良好に保つためのオーミックコンタクト層10を介して、金や銅等によるカソード電極19(第2の電極)が設けられている。ドリフト層12の上に不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1.5 \mu\text{m}$ の $p^+$ 型SiC半導体のアノード層13と、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $0.2 \mu\text{m}$ の $p^+$ 型SiC半導体のコンタクト層14を順次エピタキシャル成長技術で形成している。ドリフト層12とアノード層13との間に接合2(第1のpn接合)が形成される。

[0034] 次に素子表面の中央部を残してエッチングし、メサ構造にする。メサの高さは約 $2 \mu\text{m}$ である。エッチングにより露出したドリフト層12に、アノード層13の両端部からそれぞれ約 $3 \mu\text{m}$ 離して、不純物濃度が $3.5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $0.7 \mu\text{m}$ 、左右方向の長さが約 $150 \mu\text{m}$ の $p$ 型SiC半導体の、電界緩和層であるJTE(Junction Termination Extension)層15をイオン打ち込み技術で形成している。JTE層15をアノード層13の両端部から離す、前記 $3 \mu\text{m}$ の距離は、約 $0.5 \mu\text{m}$ でも特に問題はなかった。これにより峽間部12aが形成される。JTE層15とドリフト層12との間に接合4(第2のpn接合)が形成される。更にJTE層15から約 $30 \mu\text{m}$ 離して不純物濃度が $8 \times 10^{18} \text{ cm}^{-3}$ の $n^+$

型SiC半導体のチャネルストッパー層16をイオン打ち込み技術で形成している。

[0035] メサを囲む低部、メサ側面、メサ上面の両端部は厚さ約 $0.5\mu\text{m}$ の表面保護用の2酸化シリコンの絶縁膜17で被覆してある。被覆界面の固定電荷密度は約 $1\times 10^{12}\text{cm}^{-2}$ である。コンタクト層14の上にオーミックコンタクト層8を介して金や銅等によるアノード電極18(第1の電極)が設けられている。オーミックコンタクト層8は、一般にチタンとニッケルを含む金属材料で形成される。本実施例のSiC-pinダイオードは、オーミックコンタクト層8の形成過程で $400^{\circ}\text{C}$ 〜 $700^{\circ}\text{C}$ の高温度に加熱されることがある。上記の高温度に加熱されたとき、オーミックコンタクト層8が軟化して液状になり絶縁膜17とコンタクト層14との間の界面、及びアノード層13のメサ斜面と絶縁膜17との間の界面に侵入し障害を起こすことがある。

[0036] 本実施例では、オーミックコンタクト層8の両端部と絶縁層17との間に隙間を設けるとともに、その隙間にアノード電極18の凸部18aを挿入して、オーミックコンタクト層8が絶縁膜17に接触しないように構成している。凸部18aは直接コンタクト層14に接している。アノード電極18に凸部18aを設ける代わりに、図6に示すようにこの隙間にストッパー3と呼ばれる挿入物を設けてもよい。ストッパー3の材料は、オーミックコンタクト層8の金属材料と反応しにくい物質、例えば窒化アルミニウム、ポリイミド樹脂などの高耐熱の絶縁物、又はアルミニウム等のアノード電極18と異なる金属を用いることができる。

[0037] アノード電極18は絶縁膜17の上にも形成され、その外周部又は端部はJTE層15の内側端から約 $10\mu\text{m}$ の位置までJTE層15の上に延在している。すなわちアノード電極18の両端部は絶縁膜17を介してJTE層15に重なって対向している。第1のpn接合である接合2はドリフト層12とアノード層13との間に形成される。このSiC-pin接合ダイオードをキャンタイプのパッケージに実装して絶縁樹脂で被覆し、不活性ガスを封入して半導体装置を構成する。

[0038] 上記のように構成した本実施例のSiC-pin接合ダイオードのアノード電極18とカソード電極19間に逆電圧を印加して(以下、逆バイアスという)耐電圧を測定したところ約 $6750\text{V}$ であった。この耐電圧は、アノード層13にJTE層15が接するように構成した従来構造の同サイズのダイオードの耐電圧とほぼ同じであった。これは以下の理

由によるものであることを発明者は確認した。

[0039] すなわち、本実施例のSiC-pin接合ダイオードを逆バイアスすると、アノード電極18がドリフト層12に対して低電位になる。そのため絶縁膜17を介してアノード電極18の両端部から与えられる電界効果により、アノード層13とJTE層15との間のドリフト層12(第1のpn接合と第2のpn接合との間)の峡間部12aと呼ぶ部分に「+」で示す多数の正孔が誘起される。正孔の密度は絶縁膜17に近い表面近傍で高い。その結果峡間部12aの、絶縁膜17に近い表面近傍ではn型のSiC半導体がp型のSiC半導体に反転するので、アノード層13にJTE層15を接して設けた従来の構成と実質的に同等になる。峡間部12aの絶縁膜17から遠い部分は空乏化する。峡間部12aの前記表面近傍のn型SiC半導体層をp型SiC半導体層に反転させるに十分なアノード電極18の印加電圧は、接合2がなだれ降伏する降伏電圧よりも低い電圧であることが必要である。前記印加電圧を降伏電圧より低くするためには、絶縁膜17の材質や厚さを変えたり、絶縁膜17のイオン量を変えて電荷を調節したりして絶縁膜17とSiC半導体層の界面の固定電荷を調節する必要がある。アノード電極18による前記の電界効果を確認するため、発明者は、アノード電極18が図1に点線6で示す位置までしかなく、峡間部12a及びJTE層15の端部に対向していないpinダイオードを試作して試験をした。その結果、耐電圧は4600Vであり前記の6750Vよりも約2150V低かった。

[0040] 本実施例の新品のSiC-pin接合ダイオードに順方向の電圧を印加し(以下、順バイアスという)100A/cm<sup>2</sup>の電流密度で1時間通電したところ、通電開始直後には4.1Vであった順方向電圧が、1時間通電後には約4.9Vになった。更に通電時間を長くすると、順方向電圧の増加は飽和傾向を示し、その後はわずかではあるが徐々に増加する。順バイアス時にはアノード電極18がドリフト層12に対して高電位になるので、アノード電極18による電界効果によりドリフト層12の峡間部12aには正孔ではなく電子が誘起される。そのためアノード層13とJTE層15は電氣的に完全に分離される。その結果順方向電流はアノード層13の接合2のみを通して流れ、JTE層15とドリフト層12の接合4(第2のpn接合)を通して流れることはない。

[0041] アノード電極18の両端部の、JTE層15と重なって対向する部分の長さを長くし過ぎ

ると、アノード電極18の端部とJTE層15との間の電位差が大きくなり、絶縁膜17が絶縁破壊を起こすおそれがある。そこで、接合2がなだれ降伏を起こす電圧に近い電圧を前記アノード電極18に印加してもアノード電極18が接する絶縁膜17が絶縁破壊しないように、アノード電極18の長さを設定するのが望ましい。また別法としてアノード電極18の端部近傍の絶縁膜17の厚さを他の部分より厚くしてもよい。

[0042] 本実施例のSiC-pin接合ダイオードにおいても順方向電流が流れると、接合2と基板11との間のドリフト層12内で積層欠陥が生じ、順方向電圧劣化が進行する。この順方向電圧劣化により前記のように順方向電圧が4.1Vから4.9Vに上昇したものである。しかし、アノード層13にJTE層15を接して形成した従来構造のpin接合ダイオードの場合では、 $100\text{A}/\text{cm}^2$ の電流密度で1時間通電したところ、順方向電圧は4.1Vから約8.4Vになり、本実施例のpin接合ダイオードに比べてより順方向電圧劣化が激しいことを示している。

[0043] 以上のように、本実施例によれば、逆バイアス時には、SiC-pinダイオードの表面保護の絶縁膜17を介して作用するアノード電極18の電界効果により、接合2とJTE層15とが電氣的に接続される。また、順バイアス時には接合2とJTE層15とを電氣的に分離し、JTE層15とドリフト層12との接合4を通して順方向電流が流れないようにする。これにより、高耐電圧特性を保ちつつ順方向電圧劣化を低減し、長寿命で高い信頼性を有するSiC-pin接合ダイオードが得られる。

[0044] 《第2実施例》

図2は本発明の第2実施例の半導体装置であるプレーナ構造のSiC-pin接合ダイオードの断面図である。図において、不純物濃度が $1 \times 10^{19}\text{cm}^{-3}$ 、厚さが $400\mu\text{m}$ の、カソードとして働く $n^+$ 型SiCの基板21上に、不純物濃度が $5 \times 10^{14}\text{cm}^{-3}$ 、厚さが $50\mu\text{m}$ の $n$ 型SiCのドリフト層22をエピタキシャル成長技術で形成している。ドリフト層22の中央領域には、不純物濃度が $1 \times 10^{18}\text{cm}^{-3}$ 、厚さが $0.5\mu\text{m}$ の $p^+$ 型SiCのアノード層23と、不純物濃度が $1 \times 10^{19}\text{cm}^{-3}$ 、厚さが $0.2\mu\text{m}$ の $p^+$ 型SiCのコンタクト層24を順次イオン打ち込み技術で形成している。アノード層23とドリフト層22の間に接合20(第1のpn接合)が形成される。

[0045] アノード層23の両端部からそれぞれ約 $5\mu\text{m}$ 離隔して、不純物濃度が $8 \times 10^{17}\text{cm}^{-3}$

、厚さが $0.8\mu\text{m}$ 、左右方向の長さが約 $25\mu\text{m}$ の $p^-$ 型SiCのJTE層25をそれぞれ設けている。JTE層25をアノード層23の両端部から離す前記約 $5\mu\text{m}$ の距離は、約 $22\mu\text{m}$ でも特に問題はなかった。これにより峽間部22aが形成される。各JTE層25に連結して、不純物濃度が $2.0\times 10^{16}\text{cm}^{-3}$ 、厚さが $0.7\mu\text{m}$ 、左右方向の長さが約 $75\mu\text{m}$ の、電界緩和層として働く $p^-$ 型SiCのRESURF (Reduced surface field) 層26をイオン打ち込み技術で形成している。JTE層25及びRESURF層26と、ドリフト層22との間に接合20a (第2のpn接合) が形成される。RESURF層26から離れた両端部に、 $n^+$ 型SiCのチャネルストッパー層27をイオン打ち込み技術で形成している。コンタクト層24にオーミックコンタクト層28aを介してアノード電極28 (第1の電極) が接続されている。

[0046] 図1に示す前記第1実施例と同様に、オーミックコンタクト層28aの両端部と、絶縁膜29との間には隙間が設けられている。その隙間に、アノード電極28の下面に突出した凸部28bが入り込んでオーミックコンタクト層28aと絶縁膜29を隔離している。前記アノード電極28の凸部28bの代わりに、前記隙間にストッパー (図示省略) を設けてもよい。素子の表面は、アノード電極28が接続される部分を除いて、厚さ約 $0.3\mu\text{m}$ の酸化膜の絶縁膜29で被覆している。アノード電極28は絶縁膜29の上にも形成されており、その両端は、絶縁膜29を介してJTE層25に約 $5\mu\text{m}$ 重なって対向するようになされている。基板21の下面にはオーミックコンタクト層30a (第2の電極) を介してカソード電極30が設けられている。

[0047] このSiC-pin接合ダイオードをキャンタイプのパッケージに実装して絶縁樹脂で被覆し、不活性ガスを封入して半導体装置を構成する。

アノード電極28とカソード電極30間に逆電圧を印加し耐電圧を測定したところ約4100Vであった。この耐電圧はアノード層23にJTE層25が接している従来構造の同サイズのSiC-pin接合ダイオードの耐電圧とほぼ同じである。これは以下の理由による。すなわち前記第1実施例と同様に、本実施例のSiC-pin接合ダイオードを逆バイアスしたとき、アノード電極28が、アノード層23とJTE層25の間の峽間部22aの表面近傍に絶縁膜29を介して与える電界効果により、峽間部22aのドリフト層22の表面近傍に「+」で示す正孔が誘起される。このため $n$ 型SiCのドリフト層22の表面近傍が



部分的にp型SiCに反転し、アノード層23に接するようにJTE層25を形成した場合と実質的に同等になる。峽間部22aの表面から離れた部分では空乏化する。比較のためにアノード電極28の両端部をJTE層25の上方にまで延ばさない構成のSiC-pinダイオードを試作して試験したところ、耐電圧が2600Vであり、前記の約4100Vより約1500V低かった。

[0048] 本実施例の新品のSiC-pin接合ダイオードに順方向に $100\text{A}/\text{cm}^2$ の電流密度で1時間通電したところ、通電開始直後には4.6Vであった順方向電圧が1時間通電後には約5.2Vになったが、その増分は0.6Vで比較的小さいと言える。更に通電時間を長くすると、順方向電圧の増加は飽和傾向を示し、その後はわずかではあるが、徐々に増加する。

[0049] 本実施例のSiC-pin接合ダイオードでは、順バイアス時にはアノード電極28がドリフト層22に対して高電位になるので、アノード電極28が絶縁膜29を介してドリフト層22に与える電界効果により、峽間部22aに電子が引き寄せられて集まる(図示省略)。その結果アノード層23とJTE層25は電氣的に完全に分離される。順方向電流はアノード層23を経て、アノード層23が接するドリフト層22の領域を通して流れ、アノード層23から電氣的に分離されたJTE層25及びRESURF層26には電流が流れない。そのため積層欠陥は主としてアノード層23と基板21との間のドリフト層22内に発生し、JTE層25及びRESURF層26と、基板21との間のドリフト層22内には積層欠陥がほとんど発生しない。その結果として、1時間通電後の順方向電圧は上記の0.6V程度の比較的少ない増加にとどまっている。

[0050] 本実施例のSiC-pin接合ダイオードと比較するために、従来構造の、アノード層23にJTE層25を接して形成したSiC-pin接合ダイオードに順方向に $100\text{A}/\text{cm}^2$ の電流密度で1時間通電したところ、順方向電圧は4.6Vから約10.6Vに大きく増大した。これはJTE層25がイオン打ち込みで形成されているためにドリフト層22との接合部に欠陥が多く存在し、この欠陥から通電時に積層欠陥が生長し、接合20aと基板21との間のドリフト層22に拡大するのみならず、アノード層23と基板21との間のドリフト層22にも浸入して欠陥密度が増大し順方向電圧劣化が進行したことによる。順方向電圧劣化の進行により順方向電圧が増大すると、pin接合ダイオード内部での発熱

が増大し積層欠陥の成長が更に促進される。

[0051] 本実施例によれば、プレーナ構造のSiC-pinダイオードのアノード電極28の端部から絶縁膜29を介してアノード層23とJTE層25の間のドリフト層22の峽間部22aに与える電界効果により、逆バイアス時には接合20とJTE層25を電氣的に接続する。また順バイアス時には、前記アノード層23とJTE層25とを峽間部22aで電氣的に切り離して、JTE層25を経て順方向電流が流れないようにしている。これにより、高耐電圧を維持しつつ順方向電圧劣化による順方向電圧の上昇を抑制して信頼性の高い高耐電圧pin接合ダイオードが得られる。

[0052] 《第3実施例》

図3は本発明の第3実施例の高耐電圧ワイドギャップ半導体装置である、メサ構造のSiC-GTOの断面図である。図において、下面にカソード電極31(第2の電極)を有する、 $n^+$ 型SiCのエミッタ領域を構成する基板32の上面に、 $p$ 型SiCのバッファ領域33が形成されている。バッファ領域33の上に、 $p^-$ 型SiCのベース領域34が形成され、ベース領域34の中央領域にメサ型の $n$ 型SiCのベース層35が形成されている。ベース領域34とベース層35との間に接合30(第1のpn接合)が形成される。ベース層35には、4つのゲート電極40が設けられている。4つのゲート電極40は、図示しない部分で1つに接続されている。各ゲート電極40の間に $p$ 型SiCのエミッタ層36が形成されている。

[0053]  $n^+$ 型SiCの基板32は不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $300 \mu\text{m}$ である。バッファ領域33は不純物濃度が $3 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $2.5 \mu\text{m}$ である。ベース領域34は不純物濃度が $5 \times 10^{13} \text{ cm}^{-3}$ 、厚さ $150 \mu\text{m}$ である。ベース層35は不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1.8 \mu\text{m}$ である。エミッタ層36は不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $1.5 \mu\text{m}$ である。ベース層35とエミッタ層36はいずれもエピタキシャル成長技術で形成している。ベース層35の端部はメサ状に整形されており、メサの高さは約 $3.7 \mu\text{m}$ である。メサを囲む低部にはベース層35の端部から約 $4.0 \mu\text{m}$ 離れて不純物濃度が $3.5 \times 10^{17} \text{ cm}^{-3}$ 、厚さが $0.7 \mu\text{m}$ 、長さが約 $250 \mu\text{m}$ の $n$ 型SiCの電界緩和層であるJTE層38がイオン打ち込み技術で形成されている。JTE層38とベース領域34との間に接合30a(第2のpn接合)が形成される。メサを囲む低部の面、メサの斜面及

びメサの上面のエミッタ層36の上面中央部分を除く面は、厚さ約 $0.6\mu\text{m}$ の表面保護用酸化膜である絶縁膜39で被覆している。各エミッタ層36に電氣的に接続されたアノード電極37(第1の電極)が前記絶縁膜39の上に設けられている。アノード電極37の端部は、メサの斜面及びJTE層38のメサの斜面側の端部の約 $15\mu\text{m}$ の領域に絶縁膜39を介して対向するように延長されている。各JTE層38から離れた両端部に、 $p^+$ 型SiCのチャネルストッパー層27が形成されている。

[0054] 上記の構造のSiC-GTOをキャンタイプのパッケージに実装し、絶縁樹脂で約1mm程度の厚さで被覆したのち不活性ガスを封入して半導体装置を構成する。

本実施例のSiC-GTOにおいて、ゲート電極40をアノード電極37に接続して、アノード電極37とカソード電極31間に順方向の電圧を印加し耐電圧を測定したところ、約13100Vであった。この耐電圧はJTE層38をベース層35の端部に接するように構成した従来の構造のSiC-GTOの耐電圧とほぼ同じであった。

[0055] 本実施例のGTOでは上記のようにアノード電極37とカソード電極31間に順方向の電圧を印加し、順バイアス電圧が所定のしきい値を超えるとアノード電極37の両端部から絶縁膜39を介して与えられる電界効果により、ベース層35の端部とJTE層38との間の $p^-$ 型SiCのベース領域34aに「-」で表示するように電子が誘起される。そのため絶縁膜39に近い表面近傍がn型SiCに反転し、n型SiCのベース層35と $n^-$ 型SiCのJTE層38が、反転したn型SiCの領域で結合されたと同等の状態になる。絶縁膜39から遠い部分は空乏化する。そのためベース層35の端部での電界集中が緩和されて高い耐電圧が得られる。

[0056] 本実施例のGTOと比較するため、ベース層35とJTE層38との位置関係は本実施例と同じで、アノード電極37の端部が図3の点線37aの位置までしかないものを試作し、順方向の耐電圧を測定したところ、7400Vであった。この耐電圧は本実施例のGTOの耐電圧13100Vより5700V低かった。この比較から、本実施例のGTOでアノード電極37をJTE層38に対向する位置まで延長することにより耐電圧を大幅に高くできることが確認された。

[0057] 本実施例のSiC-GTOのアノード電極37とカソード電極31間に順方向の電圧を印加し電流密度が約 $5\text{A}/\text{cm}^2$ のゲート電流をアノード電極37からゲート電極40に流

すと、SiC-GTOはオンとなり順方向電流が流れる。順方向電流を $100\text{A}/\text{cm}^2$ の電流密度で100時間通電したところ、通電開始時には4.6Vであった順方向電圧が100時間の通電後には約5.3Vになった。更に通電時間を長くすると、順方向電圧の増加は飽和傾向を示し、その後はわずかながら徐々に増加する。このように順方向電圧の上昇が少ないのは、本実施例のSiC-GTOでは、オン状態の順方向電圧が上記のように数V程度としきい値電圧より低く、従ってアノード電極37が絶縁膜39を介して与える電界効果により、ベース層35とJTE層38の間のベース領域34aがn型に反転することはないからである。このためベース層35とJTE層38は電氣的に接続されず、電流はベース層35のみを経て流れ、主としてベース層35と基板32との間のベース領域34において順方向電圧劣化が進行する。

[0058] 図3に示すようにベース層35とJTE層38との間にすき間を設けずに、両者を接して形成したSiC-GTO(従来のSiC-GTO)について図3を借りて説明すると、順方向電流はベース層35及びJTE層38と、基板32との間のベース領域34のほぼ全域を流れる。JTE層38はイオン打ち込み法で形成されるのでベース領域34との接合部30aには多くの欠陥を有する。このように欠陥の多い接合部30aを電流が流れると前記欠陥から積層欠陥が発生し、ベース層35と基板32で挟まれた部分のベース領域34にも拡大し侵入する。その結果ベース領域34の広範囲に順方向電圧劣化現象が生じて順方向電圧が上昇する。

[0059] この従来のGTOを試作して、電流密度 $100\text{A}/\text{cm}^2$ の順方向電流を20時間流す試験をした。その結果、通電直後4.6Vであった順方向電圧が20時間後には11.4Vに増大した。これは、接合30aに多くの欠陥を有するJTE層38の下部に生じた積層欠陥と、ベース層35の下部に生じた積層欠陥とが相互に侵入し合って欠陥密度が増大し、順方向電圧劣化が進行したことによる。積層欠陥の密度が高くなると順方向電圧劣化が増大し、SiC-GTO内部での発熱が増加して積層欠陥の成長が更に促進される。

このように従来のSiC-GTOはベース領域34内で積層欠陥が成長拡大するため、これによる電子と正孔の再結合が増加する。そのためSiC-GTOをターンオンさせるために必要なオンゲート電流も増大するという現象も発生した。

- [0060] また、従来のSiC-GTOでは積層欠陥が少ない使用初期には、GTOの素子内の各部分で比較的均等に電流が分布している状態でターンオフしている。しかし劣化の進行に伴って積層欠陥部分が成長拡大するので、GTOの素子内部でターンオフ時の電流分布が不均等になってしまう。このため、ターンオフ動作時に積層欠陥の存在しない箇所に残存電流が過度に集中して電流遮断に失敗しGTO素子が破壊されることがある。破壊に至らない場合でもターンオフ可能な可制御電流が低くなってしまふ。
- [0061] 本発明のSiC-GTOでは積層欠陥の成長拡大が抑制されるので可制御電流が使用時間とともに低くなってゆくという劣化現象を抑えることができる。また、オンゲート電流が増加するという劣化現象を抑えることができる。
- [0062] 以上のように、本実施例によれば、SiC-GTOに高い順方向電圧を印加した時には、アノード電極による電界効果によりベース層35とJTE層38を電氣的に接続するが、低い順方向電圧を印加した時には両者を電氣的に切り離してJTE層38を経て電流が流れないようにしている。これにより、高耐電圧を維持しつつ、順方向電圧やオンゲート電流の増加及び可制御電流の減少等の経時劣化を低減し、高信頼性と高耐電圧を同時に有するGTOを実現することができた。
- [0063] 《第4実施例》
- 図4は本発明の第4実施例の高耐電圧ワイドギャップ半導体装置である、SiC-MOSFETの断面図である。図において、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $350 \mu \text{ m}$ の $\text{n}^+$ 型SiCの、カソードとなる基板41上に、不純物濃度が $9 \times 10^{14} \text{ cm}^{-3}$ 、厚さが $40 \mu \text{ m}$ の $\text{n}^-$ 型SiCのドリフト層42をエピタキシャル成長技術で形成している。ドリフト層42の上面をメサ型に加工し、前記メサに不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さが $1.5 \mu \text{ m}$ のp型SiCの4つのボディ層51、52、53、54がイオン打ち込み技術で形成されている。ボディ層51、52、53、54と、ドリフト層42との間に接合75a、75b(第1のpn接合)が形成される。
- [0064] ボディ層51には不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さが $0.6 \mu \text{ m}$ の $\text{n}^+$ 型SiCの2つのソース層61、62がイオン打ち込み技術で形成されている。同様にして、ボディ層52には2つのソース層63、64が形成されている。ボディ層53、54にはそれぞれソース層6

5、66が形成されている。ソース層65、66のそれぞれ約半分の面には、それぞれの第1の電極であるソース電極73、74が接している。ソース層61と62にまたがってそれぞれ約半分の面に接するように、ソース電極71が設けられており、ソース層63と64にまたがってそれぞれ約半分の面に接するように、ソース電極72が設けられている。ソース電極71〜74とボディ層51〜54との接続部を除くドリフト層42の面上に、薄い酸化膜によるゲート絶縁膜91、92、93が設けられている。

[0065] ソース電極71〜74は1つのソース端子80に接続されている。ゲート絶縁膜91の上には、両端部がそれぞれソース層61、66に対向するゲート電極81が設けられている。ゲート絶縁膜92の上には、両端部がそれぞれソース層62、63に対向するゲート電極82が設けられている。ゲート絶縁膜93の上には、両端部がそれぞれソース層64、65に対向するゲート電極83が設けられている。ゲート電極81、82、83は1つのゲート端子90に接続されている。メサの高さは約 $2\mu\text{m}$ である。メサの周囲の低部にはボディ層53、54からそれぞれ約 $6\mu\text{m}$ 離して不純物濃度が $3.5 \times 10^{17}\text{cm}^{-3}$ 、厚さが $0.7\mu\text{m}$ 、左右方向の長さが約 $90\mu\text{m}$ の $p^-$ 型SiCの電界緩和層であるJTE層48a、48bをそれぞれイオン打ち込み技術で形成している。JTE層48a、48bをボディ層53、54から離す前記 $6\mu\text{m}$ の距離は、約 $0.3\mu\text{m}$ でも特に問題はなかった。JTE層48a、48bと、ドリフト層42との間に接合85(第2のpn接合)が形成される。更にJTE層48a、48bからそれぞれ約 $25\mu\text{m}$ 離れて不純物濃度が $8 \times 10^{18}\text{cm}^{-3}$ の $n^+$ 型SiCのチャネルストッパー層49a、49bをイオン打ち込み技術で形成している。

[0066] JTE層48a、48bの上面を含むメサの周囲の低部、メサ側面59a及びメサ上面の一部はそれぞれ厚さがゲート絶縁膜91〜93よりはるかに厚い、約 $0.25\mu\text{m}$ の酸化膜を含む絶縁膜50a、50bで被覆してある。ソース電極73、74の端部はそれぞれ絶縁膜50a、50bを介してJTE層48a、48bの端から約 $15\mu\text{m}$ の範囲に対向するように延長されている。基板41の下面にはドレイン電極79が設けられている。

[0067] このSiC-MOSFETをキャンタイプのパッケージに実装し、絶縁樹脂で被覆した後不活性ガスを封入して半導体装置を構成する。

この半導体装置のソース端子80とドレイン電極79間に順方向の電圧を印加して耐電圧を測定したところ約 $3650\text{V}$ であった。この耐電圧はボディ層53、54にそれぞれJ

TE層48a、48bを接して形成した従来構造のSiC-MOSFETの耐電圧とほぼ同じであった。本実施例のSiC-MOSFETに順方向の電圧を印加したとき、ソース電極73、74はドリフト層42に対して低電位になる。そのため絶縁膜50a、50bを介してソース電極73、74からボディ層53とJTE層48aの間のドリフト層部分42a、及びボディ層54とJTE層48bの間のドリフト層部分42bに与えられる電界効果によりドリフト層部分42a、42bに「+」で表示した多数の正孔が誘起される。この正孔によりn<sup>-</sup>型SiCのドリフト層部分42a、42bの絶縁膜50a、50bに近い表面近傍がp型SiCに反転し、ボディ層53とJTE層48a、及びボディ層54とJTE層48bがそれぞれ電氣的に接続されたと同等の状態になる。前記表面から遠い部分は空乏化する。その結果ドリフト層部分42a、42bへの電界集中が緩和されて高い耐電圧が得られることになる。

[0068] 本実施例のSiC-MOSFETと比較するために、図4の構成において、ソース電極73、74を、それぞれ図の点線73a、74aから外側へは形成せず、ドリフト層部分42a、42bに対向しないようにしたものを試作して試験をした。その結果ソース端子80とドレイン電極79間に順方向に電圧を印加したときの耐電圧は2300Vであった。この耐電圧は本実施例のMOSFETの3650Vより1350V低い。

[0069] 本実施例のSiC-MOSFETを用いて構成する電源装置としての3相のインバータについて以下に説明する。図5は直流電源96の直流を3相交流出力に変換するインバータのよく知られた回路図である。6つのスイッチング素子98は、本実施例のSiC-MOSFETである。スイッチング素子98a、98b、98cのそれぞれのドレイン電極79は直流電源96の正端子に接続され、ソース端子80はスイッチング素子98d、98e、98fのドレイン電極79に接続されている。スイッチング素子98d、98e、98fのソース端子80は直流電源96の負端子に接続されている。ゲート端子90は図示を省略した既知の制御回路に接続される。スイッチング素子98a、98b、98cのそれぞれのソース端子80から3つの出力線97が導出されている。

[0070] 本実施例の図4に示すSiC-MOSFETでは、ボディ層51ー54と、ドリフト層42、カソードとなる基板41との間のpn接合で、pinダイオード(以下、内部ダイオードという)が構成されている。この内部ダイオードは、図5にpinダイオード99で示すように内部でMOSFETに実質的に逆並列に接続されている。従って内部ダイオードはフライホ

イールダイオードとして機能する。

- [0071] 図5に示すインバータが動作しているとき、前記制御回路の制御により、それぞれ所定のタイミングでスイッチング素子98a～98fが既知のオンオフ動作をする。その結果フライホイールダイオードとしてのダイオード99にそれぞれのタイミングで順方向電流が流れる。ダイオード99を順方向に流れる電流は、図4のSiC-MOSFETにおいては、ソース電極71～74、ボディ層51～54、接合75a、75b及びドレイン電極79で形成される内部ダイオードを通して、ソース端子80からドレイン電極79に向けて流れる。
- [0072] 図5に示すインバータを構成した本実施例のSiC-MOSFETにおいて、電流密度のピーク値が $100\text{A}/\text{cm}^2$ になる状態で100時間動作させたところ、動作開始直後の順方向電圧4.4Vが、100時間通電後には4.9Vに増加し、わずかに順方向電圧劣化が生じた。この順方向電圧劣化は、インバータの動作時にフライホイールダイオードとして働くpinダイオード99、すなわち、図4の内部ダイオードを流れる電流によりドリフト層42内の内部ダイオードに積層欠陥が生じたことによる。
- [0073] 図4に示すSiC-MOSFETと類似の構成で、JTE層48aの左端を延長してボディ層53に接続しかつJTE層48bの右端を延長してボディ層54に接続した、従来の構成のものを試作して、図5と同じインバータを構成し本実施例の場合と同じ条件で順方向電圧を測定した。その結果、動作開始直後4.4Vであった順方向電圧が100時間の動作後は10.5Vに上昇した。この順方向電圧10.5Vは、本実施例のSiC-MOSFETの場合の前記4.9Vより5.6V大きかった。上記試作品の構成では、ボディ層53とJTE層48aが接続されかつボディ層54とJTE層48bが接続されているので、順方向電流は、ボディ層51～54及びJTE層48a及び48bと、基板41との間のドリフト層42を流れる。そのためイオン注入法で形成されて多くの結晶欠陥を有するJTE層48a、48bと、基板41との間のドリフト層42内で通電中発生した積層欠陥が内部ダイオードを含むドリフト層42全域に成長拡大し、順方向電圧劣化が進行する。これはインバータ動作時にフライホイールダイオードであるpinダイオード99を流れる電流により積層欠陥がドリフト層42内に成長拡大するとともに、上記のようにJTE層48a、48bを流れる電流による積層欠陥の成長拡大が重畳して大きな順方向電圧劣化を生じ



たことによる。その結果、インバータの動作中に内部ダイオードの損失が増大するとともに、この損失の増大により素子温度が上昇してMOSFET内部のオン抵抗の増大を招き、インバータの電力損失が大幅に増大する。

[0074] 図5のインバータ回路のフライホイールダイオードとして、スイッチング素子98に逆並列に外付けのダイオード(ショットキーダイオードやpinダイオード)を接続してもよい(図示省略)。この場合には、外付けのショットキーダイオードやpinダイオードの内部抵抗は、MOSFETの内部ダイオードより低いので内部ダイオードを流れる逆電流は減少する。SiC-MOSFETを流れる逆電流が減少するので、積層欠陥の成長を減らすことができる。この場合でも劣化の程度は低いが同様の劣化が発生した。これは、インバータが高い電流密度で駆動された際、一部の電流が外付けのダイオードの他にSiC-MOSFETの内部ダイオードも流れるので順方向電圧劣化が発生したものである。

[0075] 以上のように、本実施例によれば、SiC-MOSFETの順バイアス電圧が大きいときには表面保護膜である絶縁膜50a、50bを介してソース電極73、74が与える電界効果によりボディ層53、54とJTE層48a、48bを電氣的に接続するが、順バイアス電圧が小さいときには両者を電氣的に分離してJTE層48a、48bを経由して電流が流れないようにしている。これにより、高耐電圧を維持しつつインバータ動作時のフライホイールダイオードの順方向電圧の劣化を低減して素子の損失の増大を抑制でき、高信頼性と高耐電圧を同時に実現することができる。

[0076] 以上、本発明のワイドギャップ半導体装置を各実施例について詳細に説明したが、本発明は上記の各実施例に限定されるものではない。半導体装置の各部の不純物濃度や、各部の厚さ長さ等の寸法は各部の機能を良好に達成できるように変更可能である。各実施例のものと反対の極性の半導体装置(例えばnpnトランジスタに対するpnpトランジスタ)などの各種のワイドギャップバイポーラ半導体装置に適用可能である。その例としては、IGBT、SIAFET、SIJFET、サイリスタ、GTO、MCT(MOS Controlled Thyristor)、SiCGT(SiC Commutated Gate Thyristor)、EST(Emitter Switched Thyristor)、BRT(Base Resistance controlled Thyristor)などの各種のSiCバイポーラスイッチング半導体装置や高耐電圧SiC発光ダイオード、高耐電圧SiC半

導体レーザ等に変形応用が可能である。

[0077] また、本発明は、第4実施例に示したバイポーラ半導体装置として動作する部分を有するMOSFETのように、バイポーラ半導体装置として動作する部分を含むワイドギャップ半導体装置である、JFET、SIT等のワイドギャップ半導体スイッチング半導体装置や、MPS (Marged Pin/ Schottky) ダイオードおよびJBS (Junction Barrier Controlled Schottky) ダイオード装置等にも変形応用が可能である。

[0078] 本発明はSiC以外のGaNやダイヤモンド等の他のワイドギャップ半導体で構成したバイポーラ半導体装置動作部分を含むワイドギャップ半導体装置や高耐電圧ワイドギャップ半導体発光ダイオードや高耐電圧ワイドギャップ半導体レーザ等にも適用できる。前記第4実施例では、本発明のワイドギャップ半導体装置であるSiC-MOSFETを、インバータに適用した例を示したが、本発明のワイドギャップ半導体装置は、スイッチング電源装置、大電力高周波発振装置、電力増幅装置などの電力装置等にも適用可能である。

[0079] また第3及び第4実施例では言及しなかったが、各実施例において必要に応じて第1の電極とアノード層との間に $p^+$ コンタクト層やオーミックコンタクト層を設けても良い。更にオーミックコンタクト層が表面保護用酸化膜とワイドギャップ半導体の界面に侵入していかないように、オーミックコンタクト層と表面保護用酸化膜の間にスペース部分を設けたり、スペース部分にアノード電極が直接接触する部分やオーミックコンタクト層形成材料の浸入を阻止するストッパー材を設けても良い。

#### 産業上の利用可能性

[0080] 本発明は高耐電圧かつ高信頼性を必要とするワイドギャップ半導体装置及び電力装置に利用可能である。

## 請求の範囲

- [1] バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第1のpn接合、
- 前記第1のpn接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第2のpn接合を形成する電界緩和層、
- 前記第1のpn接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する前記バイポーラ半導体素子の電流通路となる第1の電極、及び前記一方の半導体領域に接続された第2の電極
- を少なくとも有するワイドギャップ半導体装置。
- [2] バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する第1のpn接合、
- 前記第1のpn接合の端部から離隔して前記半導体領域の一方の半導体領域内に設けられ、前記一方の半導体領域内で周囲の半導体領域の導電型とは異なる導電型を有し、前記周囲の半導体領域との間に第2のpn接合を形成する電界緩和層、
- 前記第1のpn接合を形成する他方の半導体領域に電氣的に接続されるとともに、前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する前記バイポーラ半導体素子の電流通路となる第1の電極、及び前記一方の半導体領域に接続された第2の電極を少なくとも有し、
- 前記第1のpn接合を含む半導体領域に空乏層が生じるように前記第1の電極と前記半導体領域間に電圧を印加したとき、前記第1の電極が、前記電気絶縁膜を介して前記第1のpn接合と第2のpn接合との間の前記半導体領域に与える電界効果により、前記第1のpn接合と第2のpn接合とを電氣的接続状態にすることを特徴とするワイドギャップ半導体装置。
- [3] p型又はn型のいずれか一方の導電型である第1の導電型の半導体層と第1のpn接合を形成する他方の導電型である第2の導電型の半導体層がメサ型であり、
- 前記第1の導電型の半導体層内に第1のpn接合から離隔して形成された第2の導

電型の電界緩和層、

前記第1のpn接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記メサ型の半導体層に接続された第1の電極、及び  
前記第1の導電型の半導体層に接続された第2の電極  
を有する請求項1又は2記載のワイドギャップ半導体装置。

- [4] p型又はn型のいずれか一方の導電型である第1の導電型の半導体層と第1のpn接合を形成する他方の導電型である第2の導電型の半導体層がプレーナ型であり、  
前記第1の導電型の半導体層内に第1のpn接合から離隔して形成された第2の導電型の電界緩和層、

前記第1のpn接合と前記電界緩和層との間の半導体層に電気絶縁膜を介して対向し、前記プレーナ型の半導体層に接続された第1の電極、及び  
前記第1の導電型の半導体層に接続された第2の電極  
を有する請求項1又は2記載のワイドギャップ半導体装置。

- [5] バイポーラ半導体素子として動作するp型及びn型の導電型の半導体領域を有し、  
前記半導体領域に電流路を形成する第1のpn接合、  
前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第2の半導体領域内に設けられ、前記第2の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、

前記第1のpn接合を形成する第1の半導体領域上に形成された、少なくとも1つの前記第1の半導体領域と異なる導電型の第3の半導体領域、

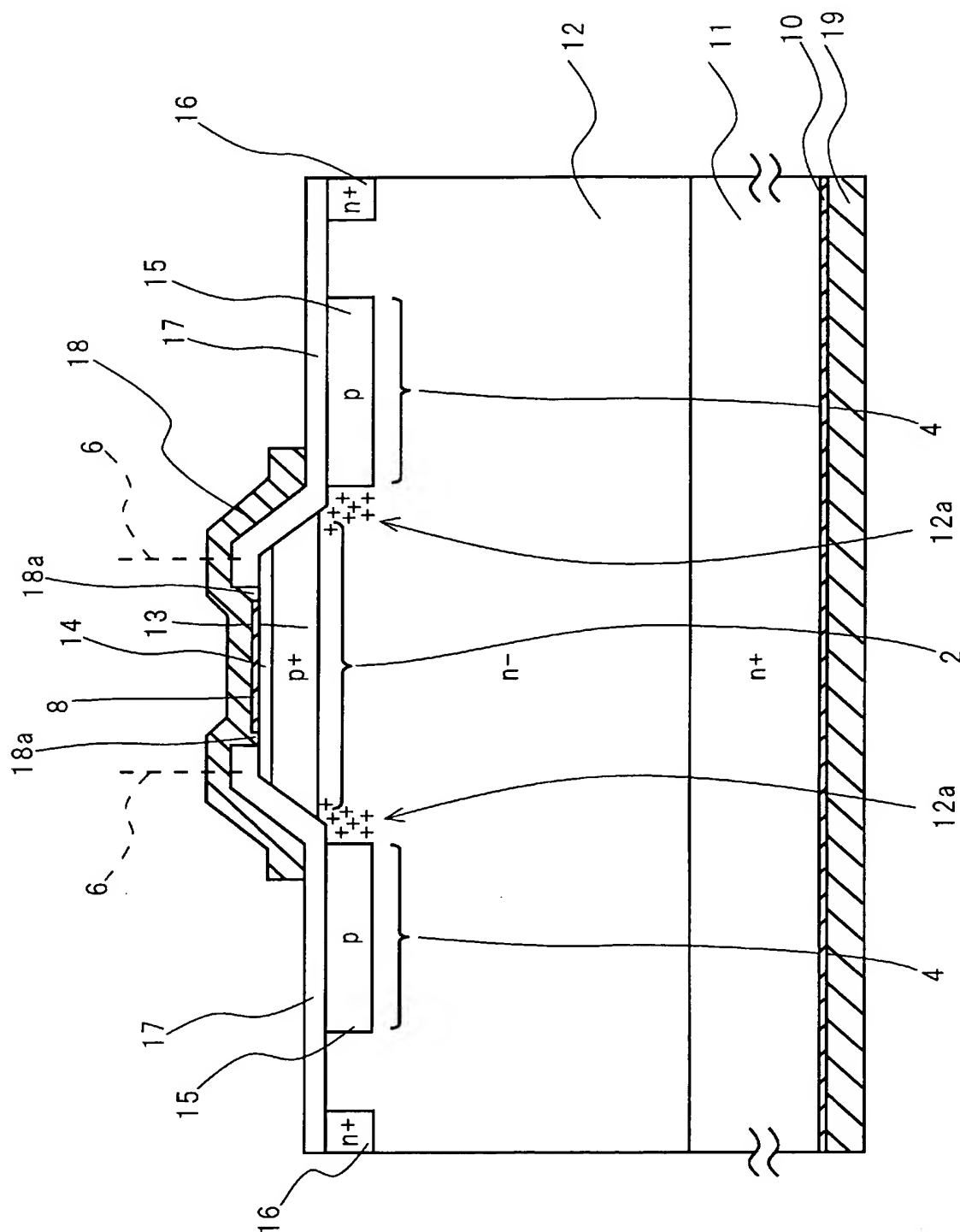
前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の第2の半導体領域に、電気絶縁膜を介して対向する第1の電極、  
前記第1のpn接合を形成する前記第1の半導体領域に電氣的に接続された第2の電極、

前記第2の半導体領域の、前記第1のpn接合を有する面の対向面に設けた、前記第2の半導体領域と異なる導電型の第4の半導体領域、及び  
前記第4の半導体領域に設けた第3の電極  
を有するワイドギャップ半導体装置。

- [6]      バイポーラ半導体素子として動作するp型、及びn型の導電型の半導体領域を有し、  
前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、  
前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、  
前記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域、  
前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する第1の電極、  
前記第1のpn接合を形成する他方の第4の半導体領域に電氣的に接続された第2の電極、  
前記少なくとも2つの第1のpn接合の間の半導体領域に、絶縁膜を介して対向する第3の電極、及び  
前記第4の半導体領域に接続された第4の電極  
を有するワイドギャップ半導体装置。
- [7]      前記第1の電極と、前記第1の電極に電氣的に接続される半導体領域との間に設けたオーミックコンタクト層を更に有し、  
前記絶縁膜を、前記オーミックコンタクト層の端部に対して所定の隙間を保って前記半導体領域の面に設けたことを特徴とする、請求項1から6のいずれかに記載のワイドギャップ半導体装置。
- [8]      前記第1の電極は、前記隙間に入り込むように形成された凸部を有することを特徴とする請求項7記載のワイドギャップ半導体装置。
- [9]      前記第1のpn接合と前記第2のpn接合との間の半導体領域に電気絶縁膜を介して対向する前記第1の電極は、前記第2のpn接合を形成する電界緩和層に電気絶縁膜を介して所定の距離だけ重なるように延在していることを特徴とする請求項1から8のいずれかに記載のワイドギャップ半導体装置。
- [10]      前記隙間に、オーミックコンタクト層の金属材料と反応しにくい物質の挿入物を設けたことを特徴とする請求項7記載のワイドギャップ半導体装置。

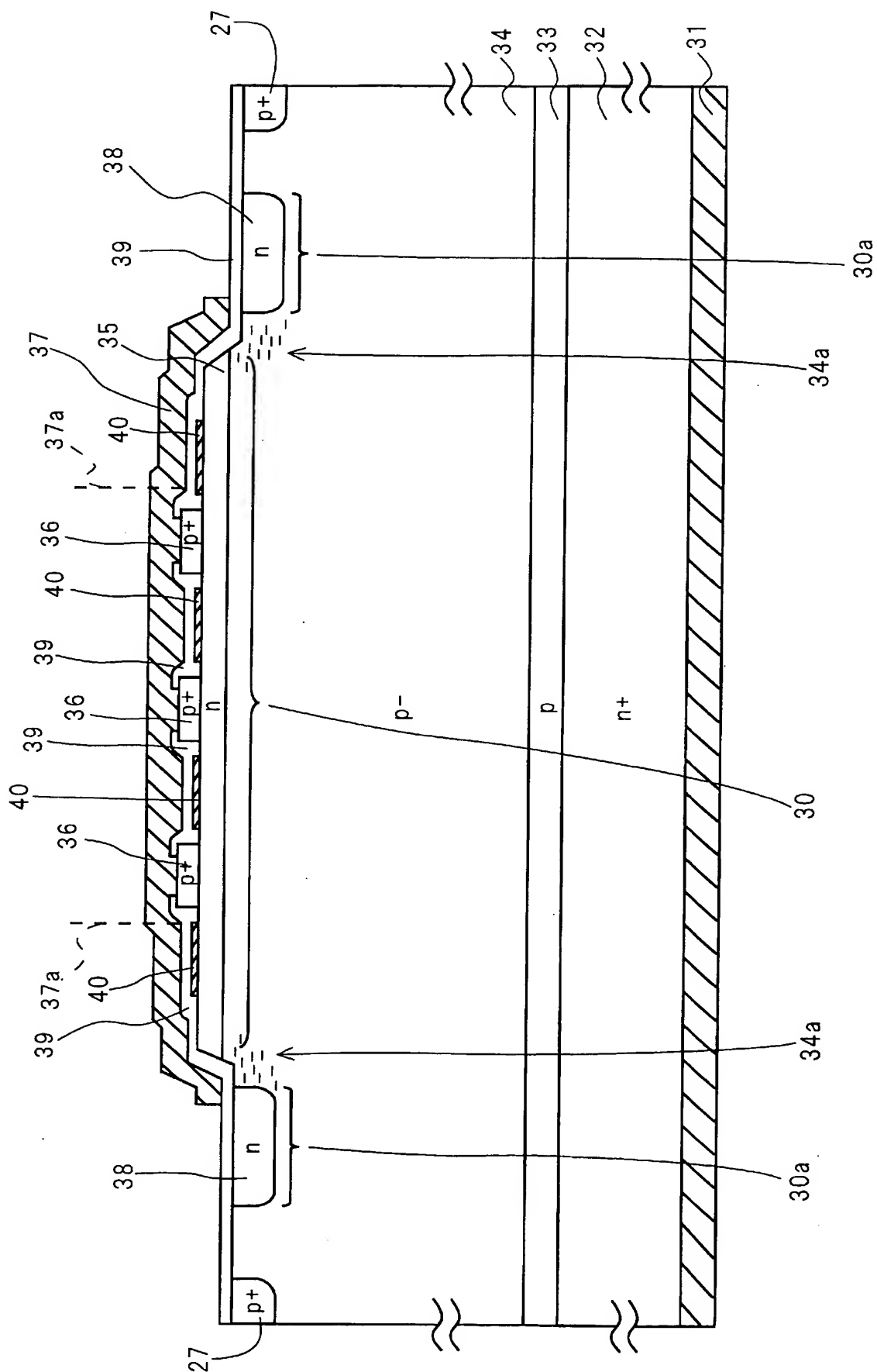
- [11]     バイポーラ半導体素子として動作するp型、及びn型の導電型の半導体領域を有し、前記半導体領域に電流路を形成する少なくとも2つの第1のpn接合、
- 前記第1のpn接合の端部から離隔して前記第1のpn接合を形成する第1の半導体領域内に設けられ、前記第1の半導体領域と異なる導電型を有して第2のpn接合を形成する電界緩和層、
- 前記第1のpn接合を形成する一方の第2の半導体領域に形成された、少なくとも1つの前記第2の半導体領域と異なる導電型の第3の半導体領域、
- 前記第3の半導体領域に電氣的に接続され、端部が前記第1のpn接合と前記第2のpn接合との間の半導体領域に、電気絶縁膜を介して対向する第1の電極、
- 前記第1のpn接合を形成する他方の第4の半導体領域に電氣的に接続された第2の電極、
- 前記少なくとも2つの第1のpn接合の間の半導体領域に、絶縁膜を介して対向する第3の電極、及び
- 前記第4の半導体領域に接続された第4の電極
- を有するワイドギャップ半導体装置
- を制御素子として備える電力装置。

[図1]



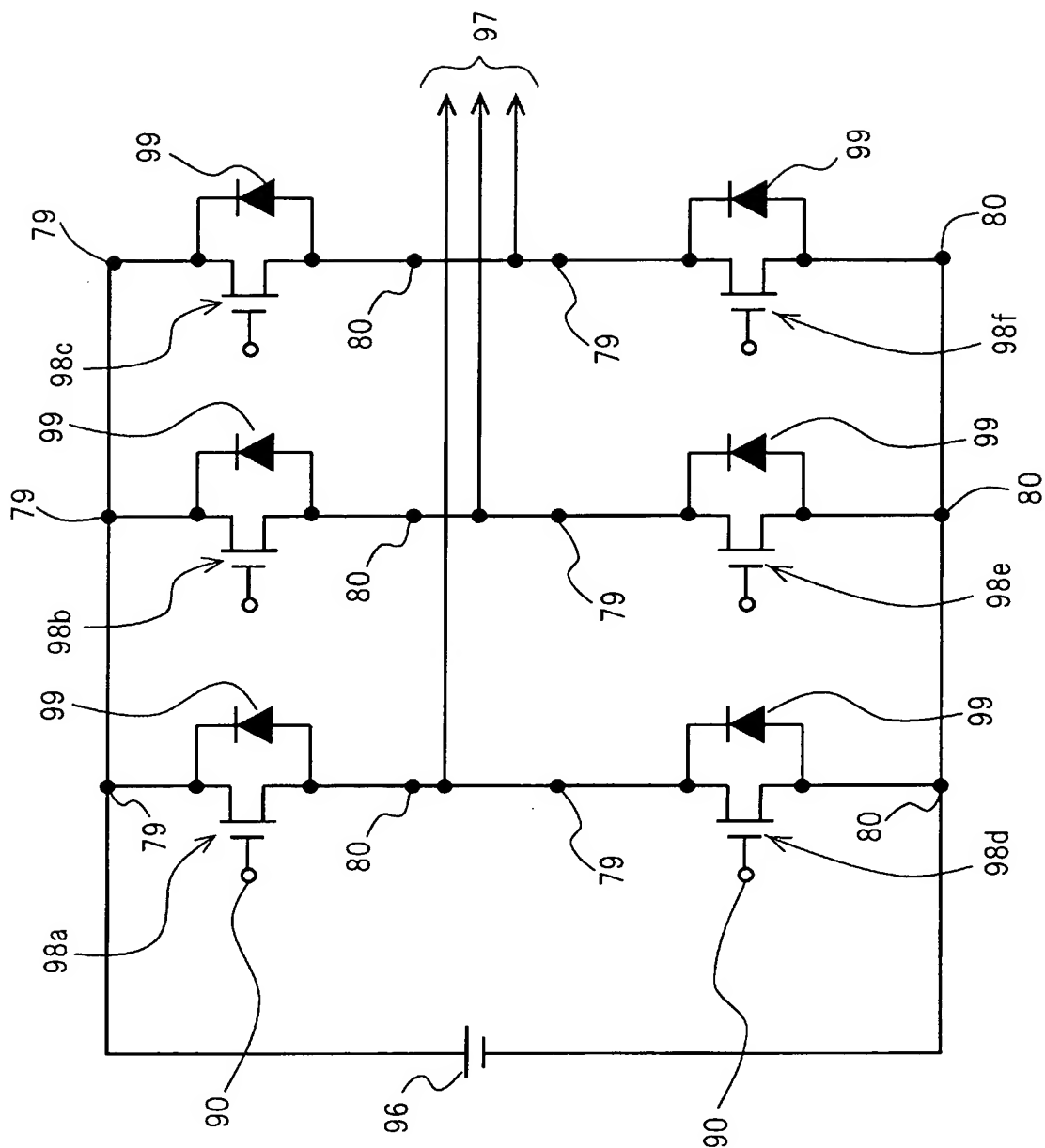
This diagram is a cross-sectional view of a semiconductor device. The substrate is labeled 20 and has a hatched pattern. Above the substrate are layers 20a, 22a, and 21. The device includes regions labeled n+, n, p, p+, p-, and n+. A central region is labeled 28, with sub-regions 28a and 28b. Other labels include 26, 27, 29, 30, and 30a. Arrows indicate the direction of light or signal flow.





This diagram shows a cross-section of a semiconductor device with multiple vertical channels. The substrate consists of alternating layers of n-type material (n-) and p-type material (p+). Vertical regions are labeled as n+, p, and n-. A series of gates or barriers are shown along the top surface, with labels such as 79, 85, 42a, 53, 65, 75b, 64, 52, 75a, 63, 62, 75a, 61, 51, 62, 75a, 54, 66, 75b, 42b, 85, 50b, 48b, 59b, 74a, 80, 74, 81, 91, 71, 82, 92, 72, 83, 93, 73, 50a, 48a, 59a, 73a, 49a, and 49b. Arrows indicate specific features or directions.

[図5]



This diagram shows a cross-sectional view of a semiconductor device. The main body is a substrate with a p-type region (p) and n-type regions (n+). A trench is formed in the substrate, with a p+ region at the bottom. The trench is filled with a material (3) and has a sidewall (4). The top surface of the trench is covered by a layer (13) and a passivation layer (14). The trench is surrounded by a p-type region (p) and an n-type region (n+). The device is labeled with various numbers: 1, 2, 3, 4, 6, 8, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19.

[図7]

